

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-140627

(43)Date of publication of application : 20.05.1994

(51)Int.Cl. H01L 29/784

(21)Application number : 05-171116 (71)Applicant : SUMITOMO METAL IND LTD

(22)Date of filing : 16.06.1993 (72)Inventor : YAMAMOTO KAZUHIRO

(30)Priority

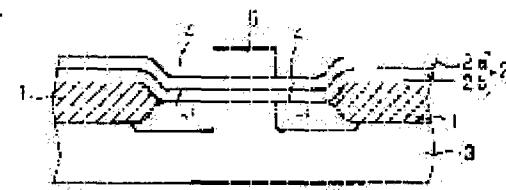
Priority number : 04269774 Priority date : 11.09.1992 Priority country : JP

## (54) FIELD-EFFECT TRANSISTOR AND MANUFACTURE THEREOF

### (57)Abstract:

**PURPOSE:** To provide a field-effect transistor which ensures excellent breakdown strength and has a gate oxide film showing less variability of leak current value and a method of manufacturing the transistor.

**CONSTITUTION:** A field oxide film 1, 1 is formed on a p-type silicon substrate 3 and a CVD oxide film 2a is formed on the silicon substrate 3 and the field oxide film 1, 1 by the CVD method. The CVD oxide film 2a is deposited in the film thickness of 125&angst;. Next, thermal oxidation is carried out. A thermal oxide film 2b in the thickness of 125&angst; is formed between the silicon substrate 3 and CVD oxide film 2a. This CVD oxide film 2a and thermal oxide film 2b form a gate oxide film 2 of 250&angst;.



### LEGAL STATUS

[Date of request for examination] 04.09.1996

[Date of sending the examiner's decision of rejection] 12.10.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(51)Int.Cl.<sup>5</sup>  
H 01 L 29/784識別記号  
7377-4M

府内整理番号

F I

H 01 L 29/ 78

技術表示箇所

3 0 1 G

審査請求 未請求 請求項の数 2(全 8 頁)

(21)出願番号 特願平5-171116

(22)出願日 平成5年(1993)6月16日

(31)優先権主張番号 特願平4-269774

(32)優先日 平4(1992)9月11日

(33)優先権主張国 日本 (JP)

(71)出願人 000002118

住友金属工業株式会社

大阪府大阪市中央区北浜4丁目5番33号

(72)発明者 山本 一弘

大阪府大阪市中央区北浜4丁目5番33号

住友金属工業株式会社内

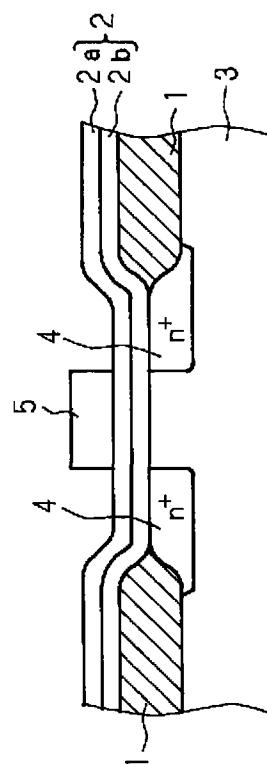
(74)代理人 弁理士 河野 登夫

(54)【発明の名称】 電界効果型トランジスタ及びその製造方法

## (57)【要約】

【目的】 耐圧性が良好で、リーク電流値のバラツキが少ないゲート酸化膜を有する電界効果型トランジスタ及びその製造方法を提供すること。

【構成】 p型のシリコン基板3上にフィールド酸化膜1、1を形成し、CVD法により、シリコン基板3及びフィールド酸化膜1、1上に、CVD酸化膜2aを形成する。CVD酸化膜2aは125Åの膜厚に堆積させる。次に熱酸化を行う。シリコン基板3とCVD酸化膜2aとの間に125Åの膜厚で熱酸化膜2bを形成する。このCVD酸化膜2a及び熱酸化膜2bで250Åのゲート酸化膜2を構成する。



## 【特許請求の範囲】

【請求項1】 半導体基板とゲート電極との間にゲート酸化膜を有する電界効果型トランジスタにおいて、前記ゲート酸化膜が、熱酸化膜とCVD酸化膜とからなることを特徴とする電界効果型トランジスタ。

【請求項2】 半導体基板とゲート電極との間にゲート酸化膜を有する電界効果型トランジスタの製造方法において、

CVD法によってCVD酸化膜を形成する工程と、熱酸化によって熱酸化膜を形成する工程とを有し、前記ゲート酸化膜が前記CVD酸化膜と前記熱酸化膜とからなることを特徴とする電界効果型トランジスタの製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、電界効果型トランジスタ及びその製造方法に関し、特に金属-酸化膜-半導体電界効果型トランジスタ(MOSFET)及びその製造方法に関する。

## 【0002】

【従来の技術】 図16は、従来のMOSFETの構造を示す模式的断面図である。p型のシリコン基板13上にLOCOS法により素子分離膜であるフィールド酸化膜11,11'を形成する。次に、熱酸化法によりゲート酸化膜12を形成し、ゲート酸化膜12上にゲート電極15を形成する。そして、ゲート電極15の両側直下のシリコン基板13に、イオン注入によりn型拡散領域14,14'を形成する。

【0003】 従来では、上述のようにゲート酸化膜12は熱酸化法によって形成されている。熱酸化法による熱酸化膜は、シリコン基板13の表面が気相酸素と反応して形成されるため、シリコン基板13中に存在する欠陥が膜中に取り込まれ、この欠陥により安定した耐圧が得られないという問題があった。

【0004】 また、MOSFETを形成する際に、チャネル注入を行った領域にソース・ドレイン領域を形成する場合は、フィールド酸化膜を形成した基板上にプリゲート酸化膜を堆積してチャネル注入を行い、このプリゲート酸化膜を除去した後にゲート酸化膜を形成する。このプリゲート酸化膜を除去する際に、フィールド酸化膜も削られて薄くなる。この後、熱酸化によりフィールド酸化膜表面にゲート酸化膜が形成されてもフィールド酸化膜の厚みはほとんど変わらず、このためにフィールド反転電圧が低下するという問題があった。

【0005】 これらの問題を解決するために、Chemical Vapor Deposition (CVD)法によりゲート酸化膜を形成し、MOSFETを製造する方法が提案されている(特開昭63-283168号公報)。

## 【0006】

【発明が解決しようとする課題】 上記のCVD法によりCVD酸化膜を形成しMOSキャパシタを形成してみると、高い耐圧良品率が得られた。これは、CVD酸化膜

はシリコン基板上に酸化膜を成長させて形成されるので、シリコン基板中の欠陥が膜中に取り込まれず、耐圧性が良好であるためである。また、CVD酸化膜が堆積されることにより、フィールド酸化膜上の絶縁膜厚は増加し、フィールド反転電圧の低下が防止される。しかしながら、CVD酸化膜はリーク電流値が大きく、ウエハ面内で形成される多数のMOSFET夫々のリーク電流値のバラツキが大きいという問題があった。

【0007】 本発明は、かかる事情に鑑みてなされたものであり、熱酸化法及びCVD法の組み合わせによって夫々の短所を補い合い、耐圧性が良好で、リーク電流値のバラツキが少ないゲート酸化膜を有し、またフィールド反転電圧が低下しない電界効果型トランジスタ及びその製造方法を提供することを目的とする。

## 【0008】

【課題を解決するための手段】 本発明に係る電界効果型トランジスタは、半導体基板とゲート電極との間にゲート酸化膜を有する電界効果型トランジスタにおいて、前記ゲート酸化膜が、熱酸化膜とCVD酸化膜とからなることを特徴とする。

【0009】 本発明に係る電界効果型トランジスタの製造方法は、半導体基板とゲート電極との間にゲート酸化膜を有する電界効果型トランジスタの製造方法において、CVD法によってCVD酸化膜を形成する工程と、熱酸化によって熱酸化膜を形成する工程とを有し、前記ゲート酸化膜が前記CVD酸化膜と前記熱酸化膜とからなることを特徴とする。

## 【0010】

【作用】 本発明の電界効果型トランジスタ及びその製造方法では、CVD法によってCVD酸化膜を形成し、熱酸化法によって熱酸化膜を形成して、CVD酸化膜及び熱酸化膜でゲート酸化膜を構成している。CVD酸化膜は耐圧性は優れているがリーク電流値が大きく、その値はウエハ面内の多数の電界効果型トランジスタでバラツキを生じる。そして熱酸化膜はその逆であり、リーク電流値は小さいが耐圧性は劣る。このCVD酸化膜と熱酸化膜とでゲート酸化膜を形成することにより、夫々の酸化膜だけをゲート電極とする場合よりも膜厚が夫々薄くなる。これにより、ゲート酸化膜中の熱酸化膜の割合が低くなるため、ゲート酸化膜中に取り込まれる基板の欠陥が少なくなり、ゲート酸化膜の耐圧性は向上する。また、ゲート酸化膜中のCVD酸化膜の割合も低くなり、電界効果型トランジスタ毎のリーク電流値のバラツキが小さくなる。

【0011】 さらに、フィールド酸化膜上にCVD酸化膜が堆積されるので、フィールド酸化膜領域の絶縁膜厚が減少することなく、フィールド反転電圧が低下しない。

## 【0012】

【実施例】 以下、本発明をその実施例を示す図面に基づ

き具体的に説明する。図1～図5は、本発明方法による製造段階におけるMOSFETの模式的断面図である。図1に示すように、p型のシリコン基板3上にLOCOS法により素子分離膜であるフィールド酸化膜1、1を形成する。次に図2に示すように、CVD法により、シリコン基板3及びフィールド酸化膜1、1上に、CVD酸化膜2aを形成する。CVD酸化膜2aは125Åの膜厚に堆積させる。このときCVD法の条件は、反応ガスにモノシラン(SiH<sub>4</sub>)及び亜酸化窒素(N<sub>2</sub>O)を用い、SiH<sub>4</sub>は65sccm、N<sub>2</sub>Oは3250sccmの流量で、温度は850℃、圧力は0.35Torrで行い、CVD酸化膜2aの成長速度は20Å/minである。

【0013】次に熱酸化を行う。図3に示すように、熱酸化により酸素はCVD酸化膜2a中に拡散され、シリコン基板/CVD酸化膜界面でSiと反応し、シリコン基板3とCVD酸化膜2aとの間に125Åの膜厚で熱酸化膜2bを形成する。このCVD酸化膜2a及び熱酸化膜2bで250Åのゲート酸化膜2を構成している。

【0014】そして、図4に示すように、CVD法によりCVD酸化膜2a上にポリシリコン層を堆積し、エッチングを行ってゲート電極5を形成し、図5に示すように、ゲート電極5の周囲直下のシリコン基板3にP又はAsをイオン注入して、n型拡散領域4、4を形成し、MOSFETが作成される。

【0015】上述の如き方法で、ゲート酸化膜2の膜厚に対するCVD酸化膜2aの膜厚の比率を変化させて、図4に示すMOSキャパシタを製造し、これらについてゲート酸化膜2における耐圧良品率、及びリーク電流値を測定した。この結果を図6、図7に示す。

【0016】図6は、250Åの膜厚のゲート酸化膜耐圧良品率を示すグラフであり、横軸はゲート酸化膜の膜厚に対するCVD酸化膜2aの膜厚の比率を示し、縦軸は8MV/cm以上の絶縁破壊電界を示したMOSキャパシタの割合を示す。グラフより明らかなように、ゲート電極の全てがCVD酸化膜2aで形成されている場合は、耐圧良品率は95%以上であり、ゲート電極の全てが熱酸化膜2bである場合には、耐圧良品率は40%以下である。CVD酸化膜2aの膜厚の比率が高いほど耐圧良品率は大きく、本実施例のCVD酸化膜2aの膜厚の比率が53%以上のMOSキャパシタの耐圧良品率は略80%以上であることが判る。

【0017】図7は、250Åの膜厚のゲート酸化膜のリーク電流値を示すグラフであり、ウエハ面内に形成された178個のMOSキャパシタについて測定したものである。横軸はゲート酸化膜の膜厚に対するCVD酸化膜2aの膜厚の比率を示し、縦軸は8MV/cmの電界を印加した場合のリーク電流値を示している。グラフより明らかなように、ゲート電極の全てがCVD酸化膜2aで形成されている場合は、リーク電流は略10<sup>-4</sup>Aから略8×10<sup>-3</sup>Aまでの範囲でバラツキが生じており、ゲート電極

の全てが熱酸化膜2bである場合には、リーク電流値は非常に小さい値であり、またバラツキも小さい。熱酸化膜2bの膜厚の比率が小さいほどリーク電流値は小さく、バラツキも小さくなる。本実施例の、CVD酸化膜2aの膜厚の比率が53%以上のMOSキャパシタのリーク電流値は、略10<sup>-4</sup>Aから略8×10<sup>-3</sup>Aまでの範囲であり、バラツキが小さくなっていることが判る。

【0018】次に、本発明に係る、他の製造方法により作成されたMOSFETの、耐圧性及び熱安定性を測定し、以下に説明する。p型のシリコン基板上にフィールド酸化膜を形成し、熱酸化を行って熱酸化膜を形成する。その後、CVD法により前記熱酸化膜上にCVD酸化膜を形成し、該CVD酸化膜上にゲート電極を形成する。このとき、熱酸化及びCVD法の夫々の条件は、上述した実施例と同様である。そして、ゲート電極の両側直下のシリコン基板にイオン注入を行ってn型拡散領域を形成し、前記熱酸化膜及びCVD酸化膜をゲート酸化膜とするMOSFETが作成される。

【0019】以上の如き方法にて、ゲート酸化膜の膜厚に対するCVD酸化膜の膜厚の比率を変化させて、n型拡散領域を形成する直前のMOSキャパシタを作成し、これらについてゲート酸化膜における耐圧良品率、及びリーク電流値を測定した。この結果を図8、図9に示す。

【0020】図8は、250Åの膜厚のゲート酸化膜耐圧良品率を示すグラフであり、横軸はゲート酸化膜の膜厚に対するCVD酸化膜の膜厚の比率を示し、縦軸は8MV/cm以上の絶縁破壊電界を示したMOSキャパシタの割合を示す。グラフより明らかのように、CVD酸化膜の膜厚の比率が高いほど耐圧良品率は大きく、本実施例のCVD酸化膜の膜厚の比率が24%以上のMOSキャパシタの耐圧良品率は略80%以上であることが判る。

【0021】図9は、250Åの膜厚のゲート酸化膜のリーク電流値を示すグラフであり、ウエハ面内に形成された178個のMOSキャパシタについて測定したものである。横軸はゲート酸化膜の膜厚に対するCVD酸化膜の膜厚の比率を示し、縦軸は8MV/cmの電界を印加した場合のリーク電流値を示している。グラフより明らかのように、熱酸化膜の膜厚の比率が小さいほどリーク電流値のバラツキが小さい。本実施例のCVD酸化膜の膜厚の比率が24%以上のMOSキャパシタはリーク電流のバラツキが小さくなっていることが判る。

【0022】このように、本発明方法により形成されたゲート酸化膜は、CVD酸化膜の耐圧性が良好であること、及び熱酸化膜のリーク電流値のバラツキが小さいことを合わせもった性質であることがわかる。

【0023】次に、上述した如くCVD酸化膜を形成した後に熱酸化膜を形成したゲート酸化膜、また、熱酸化膜を形成した後にCVD酸化膜を形成したゲート酸化膜を、夫々、ゲート酸化膜の膜厚に対するCVD酸化膜の

膜厚の比率を変化させて形成し、これらについてフラットバンド電圧シフト量を測定した。この結果を以下に示す。

【0024】図10、図11は、ゲート酸化膜のフラットバンド電圧シフト量の注入キャリア量依存性を示したグラフである。縦軸はフラットバンド電圧シフト量を表し、横軸は注入キャリア量を表している。フラットバンド電圧シフト量 $\Delta V_{fb}$ は、キャリア注入前のフラットバンド電圧から注入後のフラットバンド電圧を差分して求めたものである。図10はCVD法を行った後、熱酸化を行って酸化膜を形成した場合を示し、図11は熱酸化を行った後、CVD法を行って酸化膜を形成した場合を示している。夫々の図では、酸化膜の総厚みに対するCVD酸化膜の厚みの比を異ならせて測定した結果を示している。図10、図11において、フラットバンド電圧シフト量 $\Delta V_{fb}$ は、-●-で示される熱酸化膜のみで形成されたゲート酸化膜が最も大きく、-○-のCVD酸化膜のみで形成されたゲート酸化膜が、熱酸化膜のみのゲート酸化膜のほぼ2分の1である。そして、CVD膜が約80%(-△-)、50%(-□-)のゲート酸化膜は、CVD酸化膜のみのものよりもフラットバンド電圧シフト量 $\Delta V_{fb}$ が小さく、また、熱酸化を先に行った図11に示す場合において、CVD膜が約25%(-▽-)のゲート酸化膜は、CVD酸化膜のみで形成されたものよりも小さくなっている。

【0025】このようなフラットバンド電圧 $V_{fb}$ のシフトは、チャネルにキャリアが注入されることにより酸化膜及びシリコン界面に異常正電荷が発生するために生じ、熱酸化のみ、及びCVD酸化膜のみで形成されたゲート酸化膜では、このフラットバンド電圧シフト量 $\Delta V_{fb}$ が大きい。上述のように、CVD法を行った後に熱酸化を行う方法では、総ゲート酸化膜に対するCVD酸化膜の比率が30~99%の範囲で、フラットバンド電圧 $V_{fb}$ シフト量を低減でき、また、熱酸化を行った後にCVD法を行う方法では、総ゲート酸化膜に対するCVD酸化膜の比率が1~99%の範囲でフラットバンド電圧 $V_{fb}$ シフト量を低減できることが判る。

【0026】また、図12は、ゲート酸化膜中のCVD酸化膜厚率とフラットバンド電圧のシフト量 $\Delta V_{fb}$ との関係を示したグラフである。フラットバンド電圧のシフト量 $\Delta V_{fb}$ は、キャリア注入前のフラットバンド電圧からキャリア( $6.0 \times 10^{-2} \text{ C/cm}^2$ )注入後のフラットバンド電圧の差分を求めている。縦軸はフラットバンド電圧シフト量 $\Delta V_{fb}$ を表し、横軸はゲート酸化膜中のCVD酸化膜率を表している。グラフから、CVD酸化膜の比率が大きくなる程フラットバンド電圧のシフト量 $\Delta V_{fb}$ が小さくなってしまい、CVD酸化膜のみで形成されたゲート酸化膜では、逆にフラットバンド電圧のシフト量 $\Delta V_{fb}$ が大きくなっていることが判る。これにより、CVD酸化膜及び熱酸化膜で形成されたゲート酸化膜は、

CVD酸化膜の比率を高く形成する程フラットバンド電圧のシフト量 $\Delta V_{fb}$ が小さく、キャリア注入に対して安定であると言える。

【0027】図13~図15は、本発明の他の実施例によるMOSFETの製造段階における模式的断面図である。図13に示すように、p型のシリコン基板23上にLOCOS法により素子分離膜であるフィールド酸化膜21、21…を形成し、CVD法により、シリコン基板23及びフィールド酸化膜21、21、…上に、CVD酸化膜22aを形成する。CVD酸化膜22aは100nmの膜厚に堆積させる。

【0028】次に、図14に示すように、フォトレジスト26をCVD酸化膜22a上に堆積し、低耐圧用MOSFETを形成する領域だけを開口して、開口した領域のCVD酸化膜22aを除去する。そして、フォトレジスト26を除去し、図15に示すように、熱酸化を行ってシリコン基板23及びCVD酸化膜22a界面に熱酸化膜22bを形成する。熱酸化膜22bは20nmの膜厚で成長させる。このようにして、低耐圧用MOSFETを形成する領域には20nm程度の薄い膜厚のゲート酸化膜が形成され、高耐圧用MOSFETを形成する領域には100nm程度の厚い膜厚のゲート酸化膜が形成される。

【0029】そして、高耐圧用MOSFETを形成する領域のCVD酸化膜22a上にポリシリコンからなるゲート電極25aを形成し、低耐圧用MOSFETを形成する領域の熱酸化膜22b上にポリシリコンからなるゲート電極25bを形成する。この後、ゲート電極25a、25bの周囲直下のシリコン基板23にP又はAsをイオン注入し、n型拡散領域を形成してMOSFETが作成される。

【0030】以上の如く形成されたMOSFETは、同一基板に低耐圧用のMOSFETと高耐圧用のMOSFETとが形成されており、複数種類の電源電圧に対応できる。また、高耐圧用のMOSFETの領域では、フィールド酸化膜21の膜減り分がCVD酸化膜22aで補われており、素子間分離性能を低下させない。

### 【0031】

【発明の効果】以上のように、本発明の電界効果型トランジスタ及びその製造方法においては、CVD法によってCVD酸化膜を形成する工程と、熱酸化法によって熱酸化膜を形成する工程とにより形成されたこれらの酸化膜をゲート酸化膜とすることで、夫々の酸化膜の短所を補い合い、耐圧性が良好で、リーケ電流値のバラツキが少ないゲート酸化膜を有し、また、フィールド反転電圧が低下しない等、本発明は優れた効果を奏する。

### 【図面の簡単な説明】

【図1】本発明方法による製造段階におけるMOSFETの模式的断面図である。

【図2】本発明方法による製造段階におけるMOSFETの模式的断面図である。

【図3】本発明方法による製造段階におけるMOSFETの模式的断面図である。

【図4】本発明方法による製造段階におけるMOSFETの模式的断面図である。

【図5】本発明方法による製造段階におけるMOSFETの模式的断面図である。

【図6】本発明に係るMOSキャパシタのゲート酸化膜耐圧良品率を示すグラフである。

【図7】本発明に係るMOSキャパシタのゲート酸化膜のリーク電流値を示すグラフである。

【図8】本発明に係るMOSキャパシタのゲート酸化膜耐圧良品率を示すグラフである。

【図9】本発明に係るMOSキャパシタのゲート酸化膜のリーク電流値を示すグラフである。

【図10】本発明に係るMOSキャパシタのゲート酸化膜のフラットバンドシフト量の注入キャリア量依存性を示すグラフである。

【図11】本発明に係るMOSキャパシタのゲート酸化膜のフラットバンドシフト量の注入キャリア量依存性を示すグラフである。

【図12】本発明に係るMOSキャパシタのゲート酸化膜のCVD酸化膜厚率とフラットバンドシフト量との関係を示すグラフである。

【図13】本発明方法による製造段階におけるMOSFETの模式的断面図である。

【図14】本発明方法による製造段階におけるMOSFETの模式的断面図である。

【図15】本発明方法による製造段階におけるMOSFETの模式的断面図である。

【図16】従来のMOSFETの構造を示す模式的断面図である。

【符号の説明】

1, 21 フィールド酸化膜

2, ゲート酸化膜

2a, 22a CVD酸化膜

2b, 22b 熱酸化膜

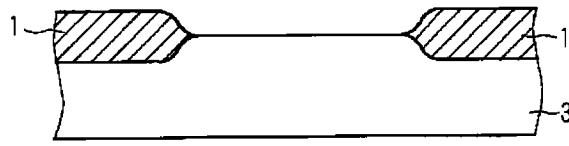
3, 23 シリコン基板

4 n型拡散領域

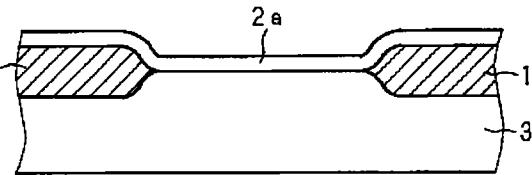
5, 25a, 25b ゲート電極

26 フォトレジスト

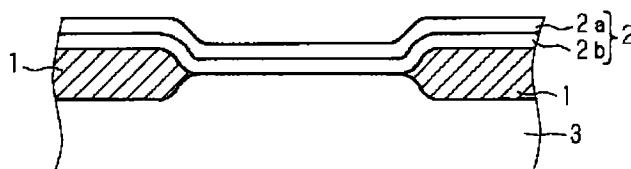
【図1】



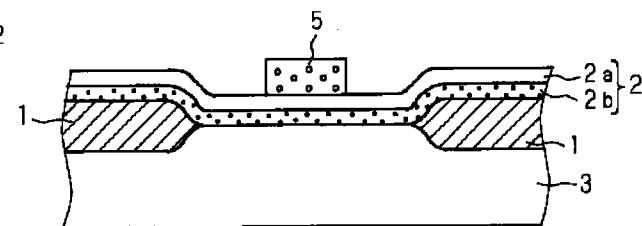
【図2】



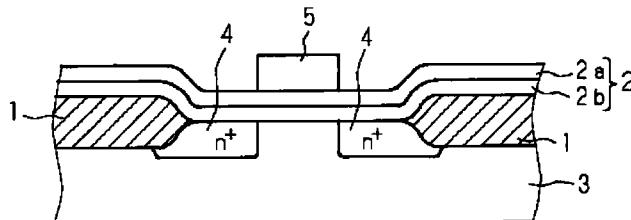
【図3】



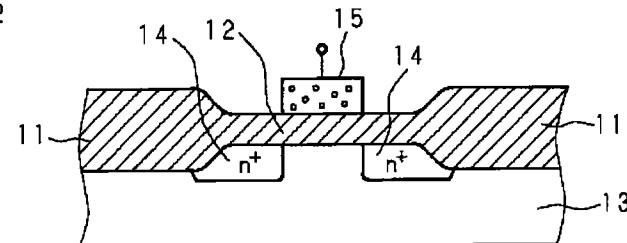
【図4】



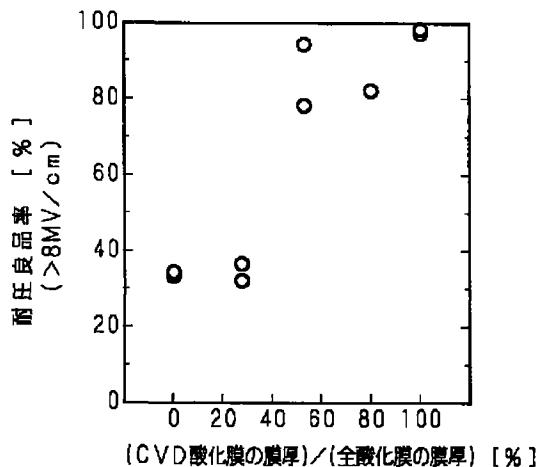
【図5】



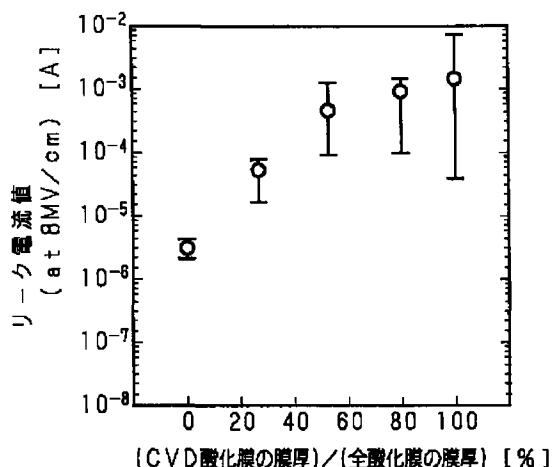
【図16】



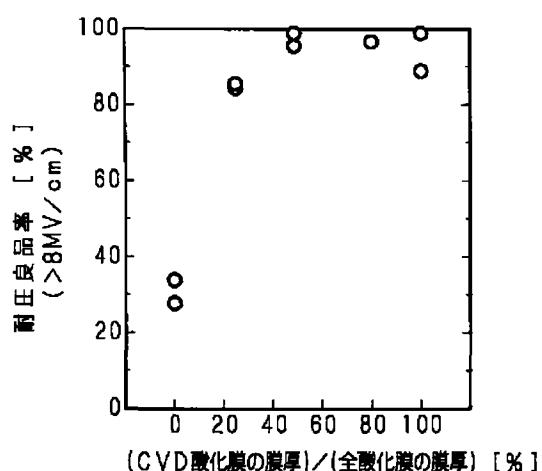
【図6】



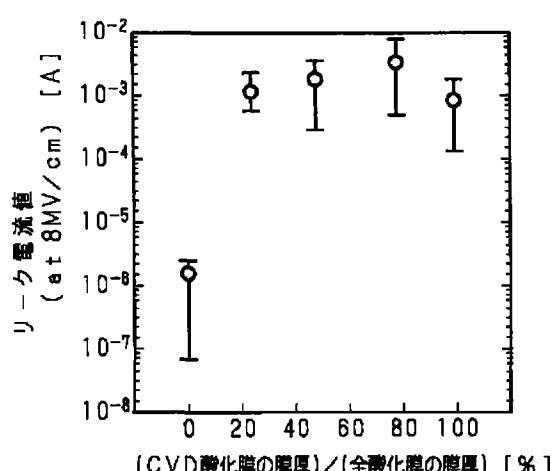
【図7】



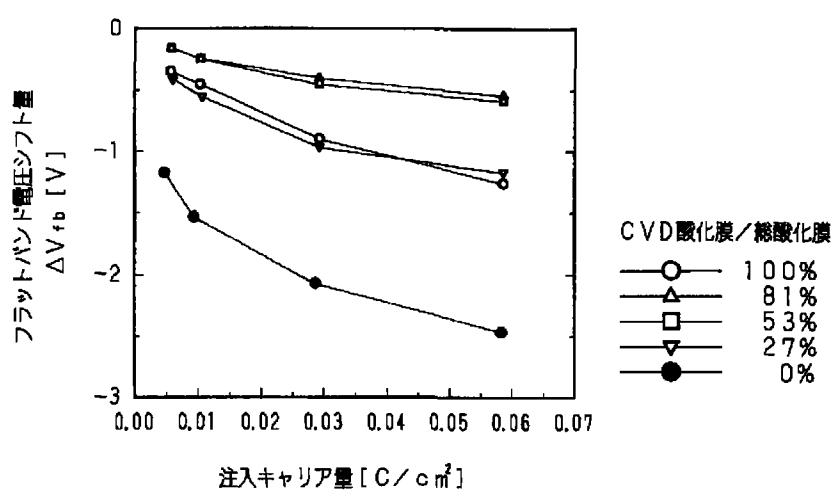
【図8】



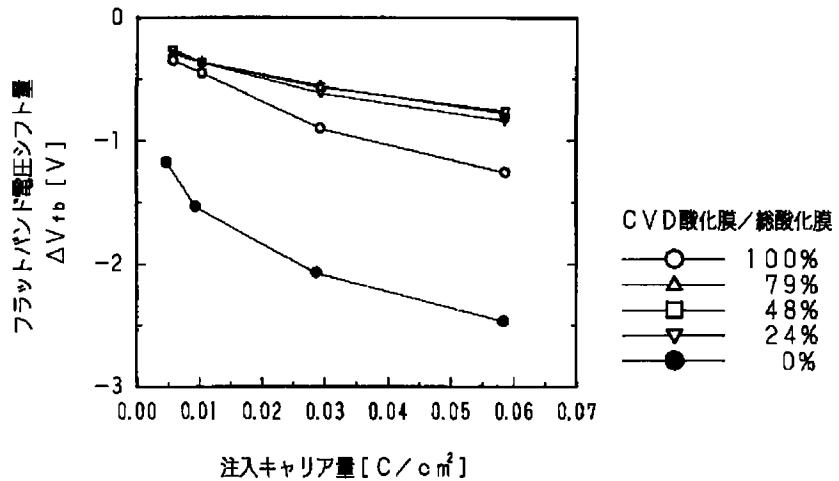
【図9】



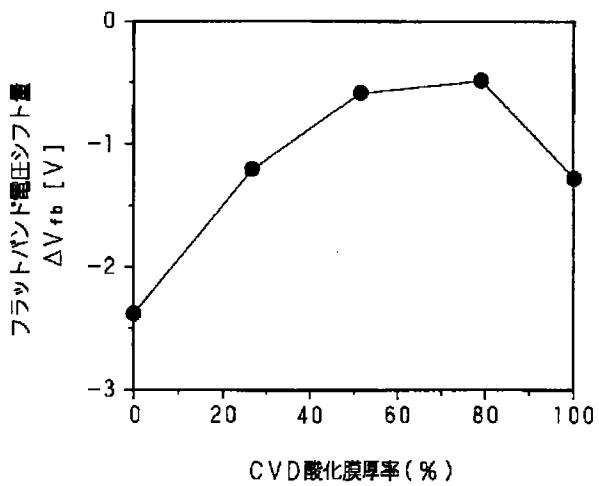
【図10】



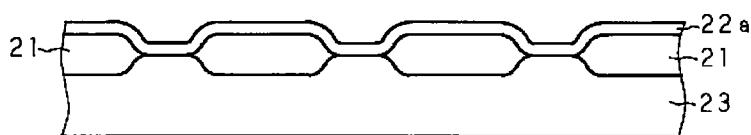
【図11】



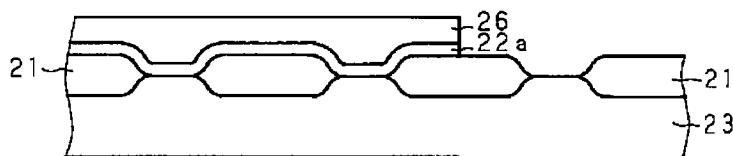
【図12】



【図13】



【図14】



【図15】

